

ANTI-FUSE PROGRAMMING CIRCUIT

Patent number: JP2000090689
Publication date: 2000-03-31
Inventor: KIM YUN HEE; KU KI BON
Applicant: HYUNDAI ELECTRONICS IND
Classification:
 - International: G11C29/00; G06F12/16; H01H37/76
 - european: G11C17/18
Application number: JP19990185339 19990630
Priority number(s): KR19980026226 19980630

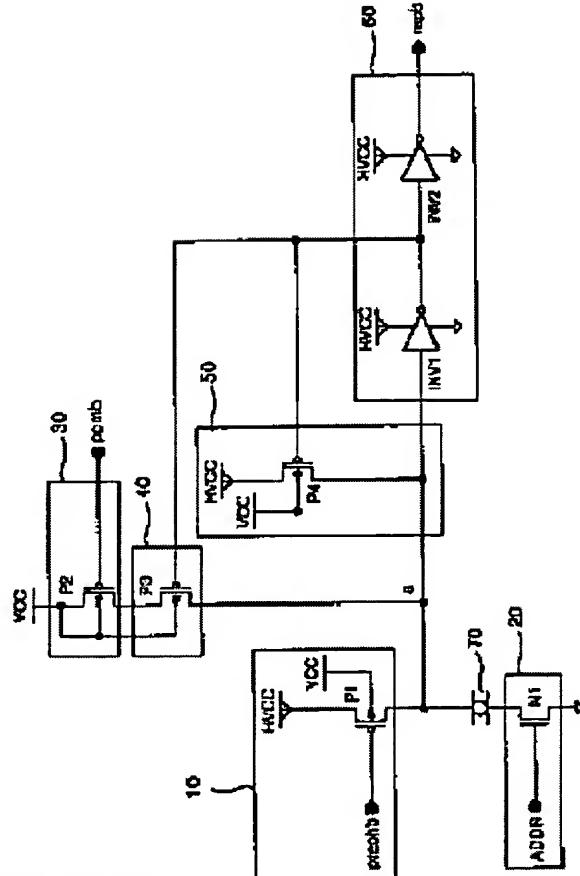
Also published as:

US 6150868 (A1)

[Report a data error here](#)

Abstract of JP2000090689

PROBLEM TO BE SOLVED: To provide an anti-fuse programming circuit which can verify the programmed condition by programming an anti-fuse circuit which becomes conductive through dielectric breakdown with a low electrical power in the packaging stage. **SOLUTION:** This programming circuit is provided with an operation switch 10 precharged with a half-power source voltage HVCC a sense signal input circuit 20 for receiving a sense signal for verifying the programmed condition of the anti-fuse circuit 70, a breakdown voltage supplying circuit 30 for supplying the power source voltage VCC for breakdown of anti-fuse circuit, an output circuit 60 for outputting the anti-fuse programming condition depending on the signal of the sense signal input circuit, a current cutoff circuit 40 for intermittently connecting a current path supplied to the anti-fuse circuit from the breakdown voltage supply circuit and a latch circuit 50 for supplying a stable half-power source voltage to the anti-fuse end by receiving a signal of the output circuit.



Data supplied from the **esp@cenet** database - Worldwide

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-090689
 (43)Date of publication of application : 31.03.2000

(51)Int.CI.

G11C 29/00
 G06F 12/16
 H01H 37/76

(21)Application number : 11-185339

(71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 30.06.1999

(72)Inventor : KIM YUN HEE
 KU KI BON

(30)Priority

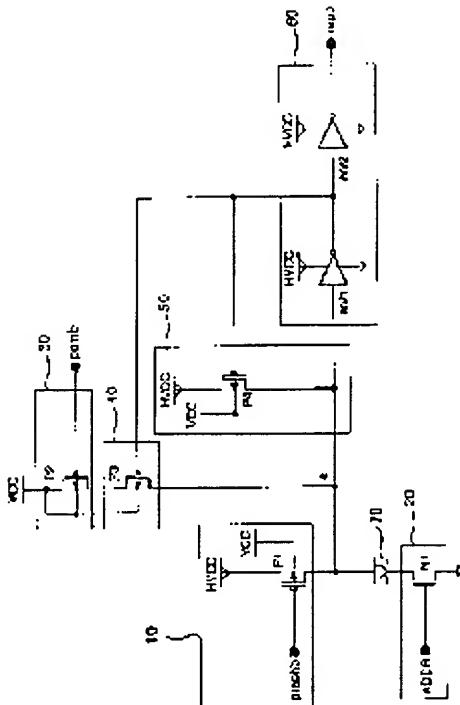
Priority number : 98 9826226 Priority date : 30.06.1998 Priority country : KR

(54) ANTI-FUSE PROGRAMMING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an anti-fuse programming circuit which can verify the programmed condition by programming an anti-fuse circuit which becomes conductive through dielectric breakdown with a low electrical power in the packaging stage.

SOLUTION: This programming circuit is provided with an operation switch 10 precharged with a half-power source voltage HVCC a sense signal input circuit 20 for receiving a sense signal for verifying the programmed condition of the anti-fuse circuit 70, a breakdown voltage supplying circuit 30 for supplying the power source voltage VCC for breakdown of anti-fuse circuit, an output circuit 60 for outputting the anti-fuse programming condition depending on the signal of the sense signal input circuit, a current cutoff circuit 40 for intermittently connecting a current path supplied to the anti-fuse circuit from the breakdown voltage supply circuit and a latch circuit 50 for supplying a stable half-power source voltage to the anti-fuse end by receiving a signal of the output circuit.



LEGAL STATUS

[Date of request for examination] 06.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application
converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-90689

(P 2000-90689 A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.	識別記号	F I	マークコード (参考)
G11C 29/00	603	G11C 29/00	603 L
G06F 12/16	310	G06F 12/16	310 P
H01H 37/76		H01H 37/76	A

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号	特願平11-185339
(22) 出願日	平成11年6月30日 (1999.6.30)
(31) 優先権主張番号	98-26226
(32) 優先日	平成10年6月30日 (1998.6.30)
(33) 優先権主張国	韓国 (KR)

(71) 出願人	599000038 ヒュンundai エレクトロニクス インダストリーズ カンパニー リミテッド 大韓民国 キュンギドー イーチョンシ ブバルエウブ アメリ サン 136-1
(72) 発明者	キム ユン ヒー 大韓民国 キュンサンブックード ポハン ー・ナムグ チゴックードン ポステ ック アパートメント 1-103
(74) 代理人	100068755 弁理士 恩田 博宣

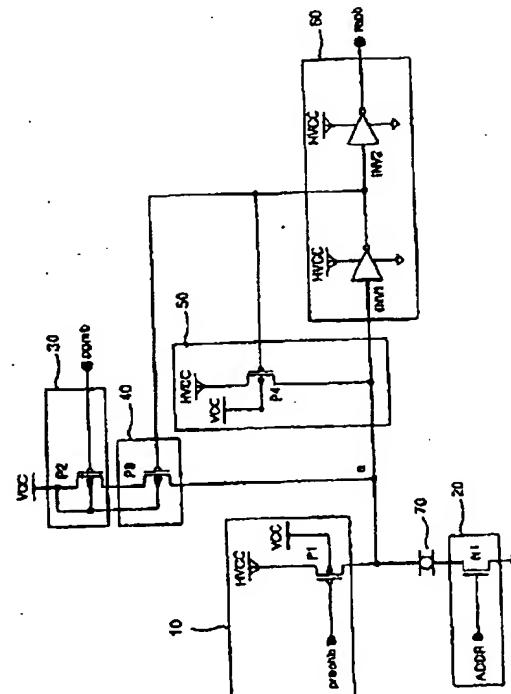
最終頁に統く

(54) 【発明の名称】アンチヒューズのプログラミング回路

(57) 【要約】

【課題】 絶縁破壊により導通するアンチヒューズをパッケージ段階で低電力でプログラミングし、プログラミングされた状態を確認し得るアンチヒューズのプログラミング回路を提供する。

【解決手段】 ハーフ電源電圧HVCCでプリチャージを行う作動スイッチ部10と、アンチヒューズ70のプログラミングされた状態を確認するための感知信号を受信する感知信号入力部20と、アンチヒューズの絶縁破壊のために電源電圧VCCを供給する破壊電圧供給部30と、感知信号入力部の信号に応じて、アンチヒューズのプログラミング状態を出力する出力部60と、出力部の信号を受信して、破壊電圧供給部からアンチヒューズに供給される電流バスを断続する電流遮断部40と、出力部の信号を受信して、アンチヒューズ端に安定したハーフ電源電圧を供給するラッチ部50とを備える。



【特許請求の範囲】

【請求項1】 ハーフ電源電圧でプリチャージを行う作動スイッチ部と、
前記作動スイッチ部に連結され、過電流が流れる場合、
絶縁破壊されるアンチヒューズと、
前記アンチヒューズのプログラミングされた状態を確認
するための感知信号を受信する感知信号入力部と、
前記アンチヒューズの絶縁破壊のために電源電圧を供給
する破壊電圧供給部と、
感知信号入力部の信号に応じて、アンチヒューズのプロ
グラミング状態を出力する出力部と、
前記出力部の制御信号を受信して、破壊電圧供給部から
アンチヒューズに供給される電流バスを断続する電流遮
断部と、
前記出力部の制御信号を受信して、アンチヒューズ端に
安定したハーフ電源電圧を供給するラッチ部とを備えた
ことを特徴とするアンチヒューズのプログラミング回路。

【請求項2】 前記作動スイッチ部は、ハーフ電源電圧
端とアンチヒューズとの間に介在され、プリチャージ信
号に応じて作動されるPMOSトランジスタを含むこと
を特徴とする請求項1記載のアンチヒューズのプログラ
ミング回路。

【請求項3】 前記感知信号入力部は、前記アンチヒュ
ーズと接地端との間に介在され、感知信号に応じて作動
されるNMO Sトランジスタを含むことを特徴とする請
求項1記載のアンチヒューズのプログラミング回路。

【請求項4】 前記電流遮断部は、前記破壊電圧供給部
の出力端と前記アンチヒューズとの間に介在され、前記
出力部の制御信号に応じて作動されるPMOSトランジ
スタを含むことを特徴とする請求項1記載のアンチヒュ
ーズのプログラミング回路。

【請求項5】 前記破壊電圧供給部は、電源電圧端と前
記電流遮断部との間に介在され、プログラミング信号に
応じて作動されるPMOSトランジスタを含むことを特
徴とする請求項1記載のアンチヒューズのプログラミング
回路。

【請求項6】 前記出力部は、
前記アンチヒューズに連結され、ハーフ電源電圧で駆動
されて、前記アンチヒューズの出力信号を反転させ前記
制御信号として出力する第1インバータと、
ハーフ電源電圧で駆動されて、前記第1インバータの出
力信号を反転させる第2インバータとを含むことを特徴
とする請求項1記載のアンチヒューズのプログラミング
回路。

【請求項7】 前記ラッチ部は、前記アンチヒューズと
ハーフ電源電圧端との間に介在され、前記出力部の制御
信号に応じて断続されるPMOSトランジスタを含むこ
とを特徴とする請求項1記載のアンチヒューズのプログラ
ミング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアンチヒューズのブ
ログラミング回路に関するもので、より詳しくは絶縁破
壊により導通することにより、アンチヒューズをプログ
ラミングし、プログラミングされた状態を確認し得るよ
うにしたアンチヒューズのプログラミング回路に関する
ものである。

【0002】

【従来の技術】 一般的なヒューズは、既定値以上の電流
が流れるとき、発熱により溶断され、回路を開放して機器
を保護するために使用される。

【0003】 一方、半導体メモリ素子などにおいて、リ
ダンダンシ回路に使用されるヒューズは、故障ラインか
ら予備ラインに切換えるために使用される。この際に使
用されるヒューズをプログラムするための方式として
は、過電流を流して溶断させる電気ヒューズ方式と、レ
ーザービームでヒューズを燃やして切る方式がある。

【0004】 前述した方式のうち、レーザーで切断する
方法が、単純で確実であり、なおかつ配置も容易である
ので、広く用いられている。この際に使用されるヒュー
ズの材料としては、ポリシリコン配線又は金属配線があ
る。

【0005】 ところで、前記方法のなかで、高電流を流
す方式においては、高電流ドライバー及びヒューズブロ
ーイングパッドが必要であるので、面積を取るという面
で不利であるだけでなく、断線時に残留物が発生し、ス
イッチオフ現象が発生する。

【0006】 また、ポリシリコンをレーザービームにて
切断する場合は、誤差が発生し、正確にレーザービーム
を照射することができず、断線時に残留物が生ずる。更
に、レーザー切断装置を行うには、作業時間が長くかか
り、取扱いが難しく、正確に行なうことが困難であるとい
う問題点があり、また、パッケージレベルで修理を行
うことが不可能であるため、価格が高くなると共に信頼性
が低下するという問題点がある。

【0007】 このような問題点を解決するため、パッケ
ージレベルでも簡単にプログラミングし得るアンチヒュ
ーズという新たな素子を導入することとなった。

【0008】

【発明が解決しようとする課題】 アンチヒューズは、ブ
ログラミング時、上部電極と下部電極との間に絶縁破壊
電圧が印加されると、上部電極と下部電極との間にある
絶縁膜が容易に絶縁破壊され、2電極が短絡されるよう
にしたヒューズである。

【0009】 すなわち、一般的なヒューズの場合、断線
させることでプログラミングを行う方式であるが、アン
チヒューズの場合は、導通させることでプログラミング
を行う方式である。

【0010】 したがって、このようなアンチヒューズを

(3)

特開2000-90689

3

プログラミングし、プログラミングされた結果を確認するための回路が必要となる。本発明は前記のような問題点を解決するためになされたもので、本発明の目的は、アンチヒューズをプログラミングさせるための信号に応じて、パッケージ段階で低電力でアンチヒューズをプログラミングすることができ、アンチヒューズのプログラミングされた状態を確認し得るようにしたアンチヒューズのプログラミング回路を提供することにある。

【0011】

【課題を解決するための手段】前記目的を実現するためには、本発明によるアンチヒューズのプログラミング回路は、ハーフ電源電圧でプリチャージを行う作動スイッチ部と、前記作動スイッチ部に連絡され、過電流が流れる場合、絶縁破壊されるアンチヒューズと、前記アンチヒューズのプログラミングされた状態を確認するための感知信号を受信する感知信号入力部と、前記アンチヒューズの絶縁破壊のために電源電圧を供給する破壊電圧供給部と、感知信号入力部の信号に応じて、アンチヒューズのプログラミング状態を出力する出力部と、前記出力部の制御信号を受信して、破壊電圧供給部からアンチヒューズに供給される電流バスを断続する電流遮断部と、前記出力部の制御信号を受信して、アンチヒューズ端に安定したハーフ電源電圧を供給するラッピング部とを備える。

【0012】前記アンチヒューズは、ハーフ電源電圧では絶縁状態が維持され、電源電圧では絶縁破壊されるように設定されている。このように構成される本発明の作用を説明すると次のようである。

【0013】正常状態、つまりプログラミング信号が入力されないときには、作動スイッチを通じてハーフ電源電圧がプログラミング回路に供給されてプリチャージされる。ハーフ電源電圧によるこのプリチャージは、ラッピング部により安定に維持される。

【0014】このような状態で、アンチヒューズをプログラミングするためのプログラミング信号が入力されると、破壊電圧供給部により電源電圧がアンチヒューズに供給され、アンチヒューズが絶縁破壊されて、プログラミングされる。

【0015】このようにアンチヒューズがプログラミングされた後には、アンチヒューズのプログラミングされた状態を確認するため、感知信号入力部に信号を入力し、信号が入力されると、アンチヒューズが絶縁破壊された状態が output 部を通じて出力される。

【0016】また、アンチヒューズが絶縁破壊されることにより、破壊電圧供給部を通じて電源電圧が供給される電流バスが形成されるが、電流遮断部で output 部の信号を受信し電流バスを遮断するので、それ以上の電流が消耗されることを防止することができる。

【0017】本発明の一実施形態によれば、前記作動スイッチ部は、ハーフ電源電圧端とアンチヒューズとの間に介在され、プリチャージ信号に応じて作動される PM

50

4

OSトランジスタを含むのが好ましい。

【0018】また、前記感知信号入力部は、前記アンチヒューズと接地端との間に介在され、感知信号に応じて作動されるNMOSトランジスタを含むのが好ましい。さらに、前記電流遮断部は、前記破壊電圧供給部の出力端と前記アンチヒューズとの間に介在され、前記出力部の制御信号に応じて作動されるPMOSトランジスタを含むのが好ましい。

【0019】また、前記破壊電圧供給部は、電源電圧端と前記電流遮断部との間に介在され、プログラミング信号に応じて作動されるPMOSトランジスタを含むのが好ましい。

【0020】さらに、前記出力部は、前記アンチヒューズに連絡され、ハーフ電源電圧で駆動されて、前記アンチヒューズの出力信号を反転させ前記制御信号として出力する第1インバータと、ハーフ電源電圧で駆動されて、前記第1インバータの出力信号を反転させる第2インバータとを含むのが好ましい。

【0021】また、前記ラッピング部は、前記アンチヒューズとハーフ電源電圧端との間に介在され、前記出力部の制御信号に応じて断続されるPMOSトランジスタを含むのが好ましい。

【0022】

【発明の実施の形態】以下、本発明の好ましい実施形態を添付図面を参照して説明する。また、本実施形態は本発明の権利範囲を限定するものではなく、単に例示的に提示するものである。

【0023】図1は本発明による実施形態を示すもので、アンチヒューズのプログラミング回路をメモリ素子に使用する場合を示す回路図である。同図に示すように、作動スイッチ部10は、アンチヒューズプログラミング回路を作動させるため、ハーフ電源電圧HVCCを断続して、アンチヒューズプログラミング回路をプリチャージさせる第1PMOSトランジスタP1である。

【0024】第1PMOSトランジスタP1は、ソースがハーフ電源電圧HVCCに連絡され、ドレインがアンチヒューズ70の一端に連絡される。そして、相補プリチャージ信号prechbがゲート端に入力されることにより、作動される。

【0025】以後、アンチヒューズ70の一端と第1PMOSトランジスタP1のドレインが連絡された部分をノード“a”と呼ぶ。感知信号入力部20はNMOSトランジスタN1であり、該NMOSトランジスタN1のソースとドレインには、接地とアンチヒューズ70の他端がそれぞれ連絡され、ゲートには、誤謬の発生したアドレス信号ADDRが連絡される。

【0026】出力部60は、ノードaの信号を反転する第1インバータINV1と、第2インバータINV2の出力を反転する第2インバータINV2とからなる。アンチヒューズ70のプログラミングされた状態を確認す

るための出力端 $r_{e p b}$ は、第2インバータ $I N V 2$ の出力とする。正常状態では、出力端 $r_{e p b}$ は高電位を維持することとなる。

【0027】この際に、第1インバータ $I N V 1$ と第2インバータ $I N V 2$ は、ハーフ電源電圧 $H V C C$ で作動され、出力値が高電位である場合、ハーフ電源電圧 $H V C C$ となるよう作動される。

【0028】そして、破壊電圧供給部 30 は、相補プログラミング信号 $p_{g m b}$ により作動されて、電源電圧 $V C C$ をノード a に供給するためのもので、第2PMOS 10 トランジスタ $P 2$ である。

【0029】この際、破壊電圧供給部 30 には、電流遮断部 40 としての第3PMOSトランジスタ $P 3$ が連結されている。電流遮断部 40 は、破壊電圧供給部 30 から供給されるアンチヒューズ 70 の破壊電圧、つまり電源電圧 $V C C$ によりアンチヒューズ 70 がプログラミングされた後に発生する電流バスを遮断する。

【0030】前記第2PMOSトランジスタ $P 2$ は、ソースに電源電圧 $V C C$ が接続され、ドレインに電流遮断部 40 の第3PMOSトランジスタ $P 3$ のソースが連結され、第3PMOSトランジスタ $P 3$ のドレインはノード a に連結される。そして、第2PMOSトランジスタ $P 2$ のゲートには、相補プログラミング信号 $p_{g m b}$ が入力され、第3PMOSトランジスタ $P 3$ のゲートには、出力部 60 の信号として、ノード a の電位を反転させる第1インバータ $I N V 1$ の出力値がフィードバックされるように連結される。

【0031】ラッチ部 50 は、出力部の信号としてノード a の電位を反転させる第1インバータ $I N V 1$ の出力値により作動される第4PMOSトランジスタ $P 4$ であり、正常状態でノード a に印加されるハーフ電源電圧 $H V C C$ が不安定であることにより出力信号値が変化しないように、ノード a の電圧レベルを安定させる。

【0032】このラッチ部 50 は、感知信号入力部 20 のアドレス信号 $ADD R$ が入力された状態で、アンチヒューズ 70 がプログラミングされ、ノード a が低電位となり、第1インバータ $I N V 1$ の出力値が高電位となつたときは、第4PMOSトランジスタ $P 4$ はオフされることにより、ハーフ電源電圧 $H V C C$ がそれ以上ノード a に供給されないようにする。

【0033】図2は本発明による実施形態での入出力信号を示すシミュレーションタイムチャートである。このようなアンチヒューズプログラミング回路の動作を図2の入出力信号を示すシミュレーションタイムチャートを参照して説明すると次のようになる。

【0034】まず、正常状態時を述べる。正常状態である場合のプログラミング信号 $p_{g m}$ は低電位であり、相補プログラミング信号 $p_{g m b}$ は高電位である。

【0035】この際、作動スイッチ部 10 でアンチヒューズプログラミング回路をプリチャージさせるため、相

補プリチャージ信号 $p_{r e c h b}$ が低電位状態で入力されると、第1PMOSトランジスタ $P 1$ がターンオンされ、ハーフ電源電圧 $H V C C$ がノード a に供給されることにより、アンチヒューズプログラミング回路がプリチャージされる。

【0036】すると、ノード a は高電位となり、この高電位は、第1インバータ $I N V 1$ により反転され、再度第2インバータ $I N V 2$ により反転されることにより、出力部 60 の出力端 $r_{e p b}$ はハーフ電源電圧 $H V C C$ レベルの高電位を維持する。

【0037】この際に、第1インバータ $I N V 1$ の出力値である低電位はラッチ部 50 の第4PMOSトランジスタ $P 4$ をターンオンさせて、ハーフ電源電圧 $H V C C$ がノード a に印加されるようにして、ノード a の電圧レベルが不安定であることにより出力信号値が変化しないように、ノード a の電圧レベルを安定させる。

【0038】また、第1インバータ $I N V 1$ の出力値は電流遮断部 40 の第3PMOSトランジスタ $P 3$ をターンオンさせて、プログラム信号 $p_{g m}$ が入力された場合、破壊電圧供給部 30 から供給される電流が流れるように、ターンオン状態を維持する。

【0039】このようにプリチャージされた状態で、相補プリチャージ信号 $p_{r e c h b}$ が高電位に上昇すると、第1PMOSトランジスタ $P 1$ がオフされ、ハーフ電源電圧 $H V C C$ がノード a に印加されなくなるが、ノード a はラッチ部 50 によりハーフ電源電圧 $H V C C$ で安定にプリチャージされている。

【0040】そして、電流遮断部 40 の第3PMOSトランジスタ $P 3$ は、第1インバータ $I N V 1$ の出力値がフィードバックされているため、ターンオン状態を維持している。

【0041】この際に、アンチヒューズ 70 のプログラム状態を感知するため、アドレス信号 $ADD R$ 、つまり誤謬の発生したアドレス信号 $ADD R$ が高電位で入力されると、NMOSトランジスタ $N 1$ がターンオンされる。しかし、アンチヒューズ 70 では絶縁破壊が起こらず、ノード a の電圧レベルが変化しないため、出力端 $r_{e p b}$ の値は変化しない。

【0042】その後、アンチヒューズ 70 をプログラムするためのプログラミング信号 $p_{g m}$ が高電位に上昇すると、相補プログラミング信号 $p_{g m b}$ は低電位に下降する。すると、破壊電圧供給部 30 の第2PMOSトランジスタ $P 2$ はターンオンされ、電源電圧 $V C C$ がノード a に印加され、アンチヒューズ 70 を介し、ターンオンされているNMOSトランジスタ $N 1$ を通じて接地まで電流バスが形成されることにより、アンチヒューズ 70 が絶縁破壊を引き起こす。

【0043】このように、アンチヒューズ 70 が絶縁破壊を引き起こすと、ノード a は低電位に変化し、この値は第1インバータ $I N V 1$ により反転されるため、電流

(5)

特開2000-90689

遮断部40の第3PMOSトランジスタP3はオフされ、破壊電圧供給部30を通じて電源電圧VCCがつづいて供給されることを阻止する。また、第1インバータINV1の出力値はラッチ部50の第4PMOSトランジスタP4をオフさせて、それ以上ノードaにハーフ電源電圧HVCCを供給し得ないようにするだけでなく、ノードaに電源電圧レベルが未だ存在していても、その電源電圧がハーフ電源電圧HVCC端に流れることを防止する。

【0044】ノードaの低電位は第1インバータINV1と第2インバータINV2により反転され、出力部60の出力端rappbは低電位に下降し、これによりプログラミングが正常に行われたことを知ることができる。

【0045】

【発明の効果】以上説明したように、本発明は、半導体装置において絶縁破壊を引き起こして導通するアンチヒューズを用いることで、パッケージ段階でのプログラムを行うことができるので、費用が節減され、信頼性が向上されるという利点がある。

【0046】また、アンチヒューズをプログラミング信号を通じてプログラミングした後、アンチヒューズのブ

10

ログラミング状態を確認することができ、アンチヒューズが絶縁破壊を引き起こした後、継続的な電源供給を遮断することにより、電流の消耗を著しく減らすことができるという利点がある。

【図面の簡単な説明】

【図1】 本発明の一実施形態によるアンチヒューズのプログラミング回路を示す回路図である。

【図2】 図1の動作を説明するための入出力信号を示すシミュレーションタイムチャートである。

【符号の説明】

10 作動スイッチ部

20 感知信号入力部

30 破壊電圧供給部

40 電流遮断部

50 ラッチ部

60 出力部

70 アンチヒューズ

HVCC ハーフ電源電圧

VCC 電源電圧

20 ADDR 感知信号

20

70

20

10

30

40

50

60

70

80

90

100

110

120

130

140

150

160

170

180

190

200

210

220

230

240

250

260

270

280

290

300

310

320

330

340

350

360

370

380

390

400

410

420

430

440

450

460

470

480

490

500

510

520

530

540

550

560

570

580

590

600

610

620

630

640

650

660

670

680

690

700

710

720

730

740

750

760

770

780

790

800

810

820

830

840

850

860

870

880

890

900

910

920

930

940

950

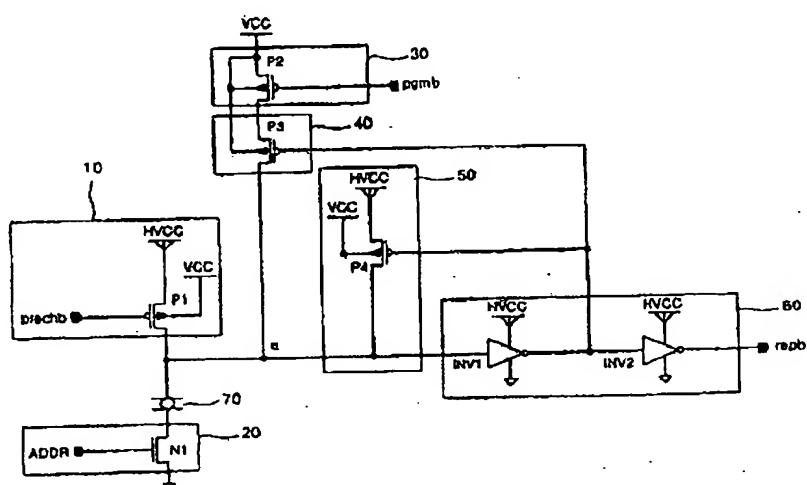
960

970

980

990

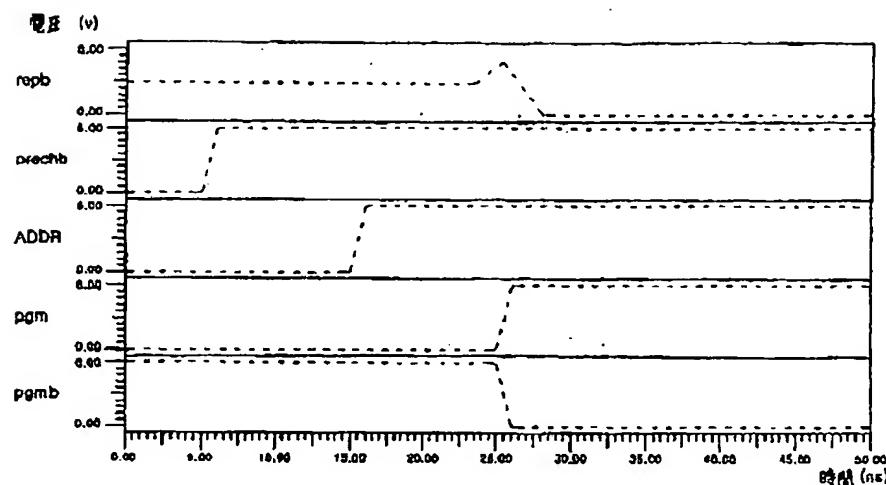
1000



(6)

特開2000-90689

【図2】



フロントページの続き

(72)発明者 ク キ ボン

大韓民国 ギュンギード イーチョンーシ

コダムードン サン 72-1 コダム

ドミトリー 102-1303